

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されて  
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed  
with this Office

出願年月日  
Date of Application: 2002年 8月27日

出願番号  
Application Number: 特願2002-246410

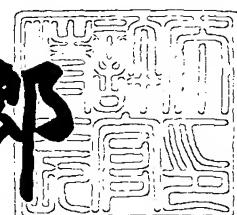
[ST.10/C]: [JP2002-246410]

出願人  
Applicant(s): 富士通株式会社

2003年 1月17日

特許庁長官  
Commissioner,  
Japan Patent Office

太田信一郎



出証番号 出証特2003-3000106

【書類名】 特許願

【整理番号】 0240650

【提出日】 平成14年 8月27日

【あて先】 特許庁長官殿

【国際特許分類】 H03K 17/00

【発明の名称】 静電気放電保護回路

【請求項の数】 5

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通  
株式会社内

【氏名】 梅田 定美

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100092152

【弁理士】

【氏名又は名称】 服部 肇巖

【電話番号】 0426-45-6644

【手数料の表示】

【予納台帳番号】 009874

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9705176

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 静電気放電保護回路

【特許請求の範囲】

【請求項1】 半導体装置の内部回路を静電気放電から保護する静電気放電保護回路において、

第1の電源端子及び第2の電源端子と接続された内部回路と、

前記第1の電源端子及び前記第2の電源端子に接続されたソース及びドレインを、バックゲートに供給される電圧によって切替えるトランジスタと、

前記第1の電源端子と前記バックゲートとの間に接続され、前記第1の電源端子に生じる正の放電電圧を前記バックゲートに供給する第1のダイオードと、

前記第2の電源端子と前記バックゲートとの間に接続され、前記第2の電源端子に生じる正の放電電圧を前記バックゲートに供給する第2のダイオードと、

前記放電電圧を分圧して前記トランジスタのゲートに供給し、ソースードライン間のオン・オフ動作を制御する分圧回路と、

を有することを特徴とする静電気放電保護回路。

【請求項2】 前記トランジスタは、

前記正の放電電圧を前記第1の電源端子から前記バックゲートに供給されたとき、前記第1の電源端子側を前記ソースとし、

前記正の放電電圧を前記第2の電源端子から前記バックゲートに供給されたとき、前記第2の電源端子側を前記ソースとすることを特徴とする請求項1記載の静電気放電保護回路。

【請求項3】 前記分圧回路は、前記放電電圧を等分圧して前記ゲートに供給することを特徴とする請求項1記載の静電気放電保護回路。

【請求項4】 前記分圧回路は、前記放電電圧によって流れる電流を一方向にのみ流すことを特徴とする請求項1記載の静電気保護回路。

【請求項5】 前記内部回路の入出力端子と前記第1の電源端子及び前記第2の電源端子との間に接続され、前記入出力端子に生じる前記放電電圧を前記第1の電源端子及び前記第2の電源端子に電流として流すダイオードを有することを特徴とする請求項1記載の静電気放電保護回路。

## 【発明の詳細な説明】

## 【0001】

## 【発明の属する技術分野】

本発明は静電気放電保護回路に関し、特に半導体装置の内部回路を静電気放電から保護する静電気放電保護回路に関する。

## 【0002】

## 【従来の技術】

L S I の内部回路は、人による接触や収納箱との摩擦などにより、静電気放電 (E S D:Electro Static Discharge) を受け、破損することがある。L S I は、E S Dから内部回路を保護するため、電源端子、信号の入出力端子にE S D保護回路を具備する。

## 【0003】

図3は、従来のE S D保護回路を示す。図に示すように、E S D保護回路は、内部回路30、ダイオードD7, 8、トランジスタTr2、抵抗R2、及びコンデンサC3から構成される。

## 【0004】

内部回路30は、L S I に形成される回路である。内部回路30は、信号を入出力するための入出力端子V、電源を入力するための電源端子V S, V Dと接続されている。電源端子V Sには負電圧、電源端子V Dには正電圧の電源が供給される。具体的には、電源端子V Sは、電源のグランドに接続され、電源端子V Dは、電源の正電圧側に接続される。

## 【0005】

ダイオードD7のカソードは、電源端子V Dに接続されている。ダイオードD7のアノードは、入出力端子Vに接続されている。ダイオードD8のカソードは、入出力端子Vに接続されている。ダイオードD8のアノードは、電源端子V Sに接続されている。

## 【0006】

トランジスタTr2は、PチャネルのM O Sトランジスタである。トランジスタTr2のソースは、電源端子V Dと接続されている。トランジスタTr2のド

レインは、電源端子V Sと接続されている。

## 【0007】

抵抗R 2の一端は、電源端子V Dと接続されている。抵抗R 2の他端は、トランジスタTr 2のゲートと接続されている。

コンデンサC 3の一端は、トランジスタTr 2のゲートと接続されている。コンデンサC 3の他端は、電源端子V Sと接続されている。

## 【0008】

以下、ESD保護回路の動作について説明する。

電源端子V Dに正の直流電圧が供給されたとする。トランジスタTr 2のゲート、コンデンサC 3は、高インピーダンスなので、抵抗R 2には電流が流れない。従って、トランジスタTr 2のソース-ゲート間は、同電位であり、ソース-ドレイン間はオフ状態である。すなわち、電源電圧は、内部回路30に供給され、内部回路30は、所定の動作をする。

## 【0009】

電源端子V Sを基準とした正のESDサージが、入出力端子Vに生じたとする。入出力端子Vの電位は、ESDサージにより上昇する。電源端子V Dには、ダイオードD 7により、入出力端子Vの電位に対し、順方向電圧分だけ降下した電位が生じる。

## 【0010】

電源端子V S, V D間には、抵抗R 2とコンデンサC 3の直列回路が接続されている。ESDサージの電圧上昇により、抵抗R 2、コンデンサC 3の直列回路には、ESDサージによる電流が流れる。コンデンサC 3は、抵抗R 2、コンデンサC 3のCR時定数に従って充電される。

## 【0011】

コンデンサC 3が充電されるCR時定数の間、トランジスタTr 2のソース-ゲート間には電位差が生じ、ソース-ドレイン間は、オン状態（導通状態）となる。従って、ESDサージによる電流は、トランジスタTr 2のソース-ドレイン間を流れる。すなわち、電源端子V Sを基準に入出力端子Vに生じた正のESDサージによる電流は、ダイオードD 7、トランジスタTr 2のソース-ドレイ

ン間、電源端子V Sを流れ、内部回路3 0は保護される。

【0012】

電源端子V Sを基準とした正のE S Dサージが、電源端子V Dに生じた場合、上記の説明と同様にトランジスタT r 2が動作し、内部回路3 0は、E S Dサージによる電流から保護される。また、電源端子V Dを基準とした負のE S Dサージが、入出力端子Vに生じた場合、上記の説明と同様にトランジスタT r 2が動作し、E S Dサージによる電流は、トランジスタT r 2のソースードレイン間、ダイオードD 8、入出力端子Vを流れ、内部回路3 0は保護される。

【0013】

電源端子V Sを基準とした負のE S Dサージが、入出力端子Vに生じたとする。この場合、E S Dサージによる電流は、電源端子V S、ダイオードD 8の順方向を流れ、入出力端子Vに流れる。これにより、内部回路3 0は、E S Dサージによる電流から保護される。

【0014】

電源端子V Dを基準とした正のE S Dサージが、入出力端子Vに生じたとする。この場合、E S Dサージによる電流は、入出力端子V、ダイオードD 7の順方向を流れ、電源端子V Dに流れる。これにより、内部回路3 0は、E S Dサージによる電流から保護される。

【0015】

電源端子V Sを基準とした負のE S Dサージが、電源端子V Dに生じた場合、E S Dサージによる電流は、電源端子V S、トランジスタT r 2のドレイン、バックゲート間の寄生ダイオード（バイポーラトランジスタ）及び、ダイオードD 8、D 7、電源端子V Dを流れる。これにより、内部回路3 0は、E S Dサージによる電流から保護される。

【0016】

【発明が解決しようとする課題】

しかし、電源端子V Sを基準とした負のE S Dサージが電源端子V Dに生じた場合、トランジスタT r 2のソースに負の電圧が印加され、ドレインに正の電圧が印加された状態となる。そのため、トランジスタT r 2のドレインとソースの

ウェルタップ間に寄生動作（電源端子V S から電源端子V D 方向を順方向とするダイオード動作）が生じ電流が流れ、破損してしまうという問題点があった。

## 【0017】

本発明はこのような点に鑑みてなされたものであり、静電気放電によるトランジスタの破損を防止する静電気放電保護回路を提供することを目的とする。

## 【0018】

## 【課題を解決するための手段】

本発明では、上記課題を解決するために、図1に示す半導体装置の内部回路を静電気放電から保護する静電気放電保護回路において、第1の電源端子V D 及び第2の電源端子V S と接続された内部回路10と、第1の電源端子V D 及び第2の電源端子V S に接続されたソース及びドレインを、バックゲートに供給される電圧によって切替えるトランジスタTr1と、第1の電源端子V D とバックゲートとの間に接続され、第1の電源端子V D に生じる正の放電電圧をバックゲートに供給する第1のダイオードD1と、第2の電源端子V S とバックゲートとの間に接続され、第2の電源端子V S に生じる正の放電電圧をバックゲートに供給する第2のダイオードD2と、放電電圧を分圧してトランジスタTr1のゲートに供給し、ソースードレイン間のオン・オフ動作を制御する分圧回路20と、を有することを特徴とする静電気放電保護回路が提供される。

## 【0019】

このような、静電気放電保護回路によれば、第1の電源端子V D 、第2の電源端子V S に生じる正の放電電圧を、ダイオードD1、D2によって、トランジスタTr1のバックゲートに供給し、第1の電源端子V D 及び第2の電源端子V S に接続されたソース及びドレインを切替える。よって、ソース、ドレインのウェルタップ間に寄生動作を発生することなくソース、ドレイン間を放電電圧による電流が流れる。

## 【0020】

## 【発明の実施の形態】

以下、本発明の第1の実施の形態を図面を参照して説明する。

図1は、本発明の第1の実施の形態に係るE S D 保護回路を示す。E S D 保護

回路は、半導体装置の半導体チップ上に形成され、半導体装置の入出力端子、電源端子に生じるESDサージから半導体装置の内部回路を保護する。

#### 【0021】

図1に示すようにESD保護回路は、内部回路10、分圧回路20、ダイオードD1～D4、トランジスタTr1から構成されている。

内部回路10は、入出力端子V、電源端子VS、VDと接続されている。電源端子VSには、負電圧、電源端子VDには、正電圧の電源が供給される。具体的には、電源端子VSは、電源のグランドに接続され、電源端子VDは、電源の正電圧側に接続される。内部回路10は、電源端子VD、VSから電源が供給され、入出力端子Vから信号を入出力し所定の動作をする。なお、入出力端子Vは、信号の入力のみ、出力のみの端子であってもよい。

#### 【0022】

ダイオードD1のアノードは、電源端子VDと接続されている。ダイオードD1のカソードは、トランジスタTr1のバックゲートと接続されている。ダイオードD2のカソードは、トランジスタTr1のバックゲートと接続されている。ダイオードD2のアノードは、電源端子VSと接続されている。

#### 【0023】

ダイオードD3のカソードは、電源端子VDと接続されている。ダイオードD3のアノードは、入出力端子Vと接続されている。ダイオードD4のカソードは、入出力端子Vと接続されている。ダイオードD4のアノードは、電源端子VSと接続されている。

#### 【0024】

トランジスタTr1は、信号線S1、S2を有するPチャネルのMOSトランジスタである。トランジスタTr1の信号線S1は、ダイオードD1のアノード及び電源端子VDと接続されている。トランジスタTr1の信号線S2は、ダイオードD2のアノード及び電源端子VSと接続されている。トランジスタTr1のバックゲートは、ダイオードD1、D2のカソードと接続されている。

#### 【0025】

分圧回路20は、電源端子VD、VSに生じる電圧を分圧して、トランジスタ

Tr1のゲートに供給する。分圧回路20は、抵抗R1、コンデンサC1、C2から構成されている。抵抗R1の一端は、電源端子VDと接続されている。抵抗R1の他端は、トランジスタTr1のゲートと接続されている。

## 【0026】

コンデンサC1の一端は、電源端子VDと接続されている。コンデンサC1の他端は、トランジスタTr1のゲートと接続されている。コンデンサC2の一端は、電源端子VSと接続されている。コンデンサC2の他端は、トランジスタTr1のゲートと接続されている。すなわち、抵抗R1とコンデンサC1の並列回路が、コンデンサC2と直列接続され、その接続点がトランジスタTr1のゲートに接続されている。

## 【0027】

以下、ESD保護回路の動作について説明する。

電源端子VSを基準とした正のESDサージが電源端子VDに生じたとする。ダイオードD3、D4は、ESDサージの電圧の極性に対し、逆方向接続なのでESDサージによる電流は流れない。

## 【0028】

電源端子VDの電位は電源端子VSより高電位なので、電源端子VDから見たダイオードD1のインピーダンスは低く（電源端子VSから見たダイオードD2のインピーダンスは高い）、ダイオードD1を介して、電源端子VDの電位がトランジスタTr1のバックゲートに供給される。これにより、トランジスタTr1の信号線S1はソースとなり、トランジスタTr1の信号線S2はドレインとなる。

## 【0029】

ESDサージの電圧上昇により、コンデンサC1、C2の直列回路は、ESDサージの瞬間だけコンデンサC1、C2の接続点に電源端子VD、VS間の差電圧の分圧された電位に定まる。コンデンサC1、C2は、抵抗R1、コンデンサC1、C2のCR時定数に従って充電される。

## 【0030】

トランジスタTr1のゲートの電圧は、少なくともCR時定数の間、電源端子

V D、V S 間の差電圧の分圧された電圧によりソース（信号線 S 1）の電圧より低く、トランジスタ T r 1 のソースードレイン間は、オン状態となる。従って、E S D サージによる電流は、トランジスタ T r 1 のソースードレイン間を流れる。すなわち、電源端子 V S を基準に電源端子 V D に生じた正の E S D サージによる電流は、トランジスタ T r 1 のソースードレイン間、電源端子 V S を流れるので、内部回路 10 は保護される。

#### 【0031】

次に、電源端子 V S を基準とした正の E S D サージが入出力端子 V に生じたとする。E S D サージによる電流は、ダイオード D 3 の順方向に流れる。ダイオード D 4 は、逆方向接続なので、E S D サージによる電流は流れない。電源端子 V D の電圧は、入出力端子 V より順方向電圧分下がった電圧が生じる。

#### 【0032】

電源端子 V D の電位は電源端子 V S より高電位なので、電源端子 V D から見たダイオード D 1 のインピーダンスは低く（電源端子 V S から見たダイオード D 2 のインピーダンスは高い）、ダイオード D 1 を介して、電源端子 V D の電位がトランジスタ T r 1 のバックゲートに供給される。これにより、トランジスタ T r 1 の信号線 S 1 はソースとなり、トランジスタ T r 1 の信号線 S 2 はドレインとなる。

#### 【0033】

E S D サージの電圧上昇により、コンデンサ C 1、C 2 の直列回路は、E S D サージの瞬間にコンデンサ C 1、C 2 の接続点に電源端子 V D、V S 間の差電圧の分圧された電位に定まる。コンデンサ C 1、C 2 は、抵抗 R 1、コンデンサ C 1、C 2 の C R 時定数に従って充電される。

#### 【0034】

トランジスタ T r 1 のゲートの電圧は、少なくとも C R 時定数の間、電源端子 V D、V S 間の差電圧の分圧された電圧によりソース（信号線 S 1）の電圧より低く、トランジスタ T r 1 のソースードレイン間は、オン状態となる。従って、E S D サージによる電流は、トランジスタ T r 1 のソースードレイン間を流れる。すなわち、電源端子 V S を基準に入出力端子 V に生じた正の E S D サージによ

る電流は、ダイオードD3、トランジスタTr1のソースードレイン間、電源端子VSを流れるので、内部回路10は保護される。

## 【0035】

次に、電源端子VDを基準とした負のESDサージが入出力端子Vに生じたとする。ダイオードD3は、印加されたESDサージの電圧の極性に対し、逆方向接続なので電流は流れない。

## 【0036】

電源端子VDの電位は電源端子VSより高電位なので、電源端子VDから見たダイオードD1のインピーダンスは低く（電源端子VSから見たダイオードD2のインピーダンスは高い）、ダイオードD1を介して、電源端子VDの電位がトランジスタTr1のバックゲートに供給される。これにより、トランジスタTr1の信号線S1はソースとなり、トランジスタTr1の信号線S2はドレインとなる。

## 【0037】

ESDサージの電圧上昇により、コンデンサC1、C2の直列回路は、ESDサージの瞬間にコンデンサC1、C2の接続点に電源端子VD、VS間の差電圧の分圧された電位に定まる。コンデンサC1、C2は、抵抗R1、コンデンサC1、C2のCR時定数に従って充電される。

## 【0038】

トランジスタTr1のゲートの電圧は、少なくともCR時定数の間、電源端子VD、VS間の差電圧の分圧された電圧によりソース（信号線S1）の電圧より低く、トランジスタTr1のソースードレイン間は、オン状態となる。従って、ESDサージによる電流は、トランジスタTr1のソースードレイン間を流れる。すなわち、電源端子VDを基準に入出力端子Vに生じた負のESDサージによる電流は、トランジスタTr1のソースードレイン間、ダイオードD4を流れるので、内部回路10は保護される。

## 【0039】

次に、電源端子VSを基準とした負のESDサージが入出力端子Vに生じたとする。ダイオードD4は、印加されたESDサージの電圧の極性に対し、順方向

なので、ESDサージによる電流は、電源端子VS、ダイオードD4、入出力端子Vを流れ、内部回路10は保護される。

## 【0040】

次に、電源端子VDを基準とした正のESDサージが入出力端子Vに生じたとする。ダイオードD3は、印加されたESDサージの電圧の極性に対し、順方向なので、ESDサージによる電流は、入出力端子V、ダイオードD3、電源端子VDを流れ、内部回路10は保護される。

## 【0041】

次に、電源端子VSを基準とした負のESDサージが電源端子VDに生じたとする。ダイオードD3、D4は、電源端子VD、VSに生じたESDサージの電圧の極性に対し順方向なので、ESDサージによる電流は、電源端子VS、ダイオードD4、D3、電源端子VDを流れ、内部回路10は保護される。しかし、トランジスタTr1の信号線S1、S2には、ESDサージによる電圧が印加された状態にある。電源端子VSの電位は電源端子VDより高電位なので、電源端子VSから見たダイオードD2のインピーダンスは低く（電源端子VSから見たダイオードD1のインピーダンスは高い）、ダイオードD2を介して、電源端子VSの電位がトランジスタTr1のバックゲートに供給される。これにより、トランジスタTr1の信号線S2はソースとなり、トランジスタTr1の信号線S1はドレインとなる。

## 【0042】

電源端子VSを基準とした電源端子VDのESDサージの電圧降下により、ESDサージの瞬間にコンデンサC1、C2の接続点に電源端子VD、VS間の差電圧の分圧された電位に定まる。コンデンサC1、C2は、抵抗R1、コンデンサC1、C2のCR時定数に従って充電される。

## 【0043】

トランジスタTr1のゲートの電圧は、少なくともCR時定数の間、電源端子VD、VS間の差電圧の分圧された電圧によりソース（信号線S2）の電圧より低く、トランジスタTr1のソースードレイン間は、オン状態となる。従って、ESDサージによる電流は、トランジスタTr1のソースードレイン間を流れる

。すなわち、トランジスタTr1のドレインとソースのウェルタップ間に、寄生動作をすることなく電流を流す。

## 【0044】

このように、ダイオードD1, D2を電源端子VS, VDとトランジスタTr1のバックゲートとの間に接続して、電源端子VS, VDに生じるESDサージの電圧をトランジスタTr1のバックゲートに供給し、トランジスタTr1のソース、ドレインを切替えるようにした。よって、ソース、ドレインのウェルタップ間に寄生動作が発生することなくソースードレイン間をESDサージによる電流が流れ、トランジスタTr1の破壊を防止することができる。

## 【0045】

また、ダイオードD1, D2をトランジスタTr1のバックゲートと信号線S1, S2の間に接続するだけであり、回路面積を大きくすることなく、トランジスタTr1の破壊を防止することができる。

## 【0046】

また、抵抗R1とコンデンサC1の並列回路のインピーダンスと、コンデンサC2のインピーダンスとを等しくすることが望ましい。トランジスタTr1の信号線S1とゲート間の電圧降下と、信号線S2とゲート間との電圧降下を同様にすることによって、信号線S1がソースの場合の、トランジスタTr1のソースードレイン間がオンする動作と、信号線S2がソースの場合の、トランジスタTr1のソースードレイン間がオンする動作と同じ特性とすることができます。

## 【0047】

なお、電源端子VSをグランドとし、電源端子VDに正の直流電圧が印加されたときは、トランジスタTr1のゲートは、高インピーダンスであり、コンデンサC1も高インピーダンスであるので、抵抗R1には直流電圧による電流が流れない。従って、トランジスタTr1のソースーゲート間には、電位差がなく、トランジスタTr1のソースードレイン間は、オフ状態となる。すなわち、内部回路10には、直流電圧が印加され、所定の動作をする。

## 【0048】

また、複数の内部回路を保護するときは、各内部回路の電源が供給される電源

線を電源端子V S, V Dに接続し、各内部回路の入出力端子と電源端子V S, V D間にダイオードを接続するようすればよい。

## 【0049】

次に、本発明の第2の実施の形態を図面を参照して説明する。

図2は、本発明の第2の実施の形態に係るE S D保護回路を示す。図1と同じものには同じ符号を付しその説明を省略する。図2では、分圧回路2 1の構成が図1の分圧回路2 0と異なる。図2に示すように、分圧回路2 1では、分圧回路2 0に対し、コンデンサC 1の替わりにダイオードD 5が接続されている。ダイオードD 5のアノードは、トランジスタのT r 1のゲートに接続されている。トランジスタT r 1のゲートとコンデンサC 2との間にダイオードD 6が接続される。ダイオードD 6のアノードは、トランジスタT r 1のゲートに接続されている。

## 【0050】

図2において、電源端子V Sを基準とした正のE S Dサージが電源端子V Dに生じたとする。ダイオードD 3, D 4は、E S Dサージの電圧の極性に対し、逆接続なので電流は流れない。

## 【0051】

電源端子V Dの電位は、電源端子V Sより高電位なので、電源端子V Dから見たダイオードD 1のインピーダンスは低く（電源端子V Sから見たダイオードD 2のインピーダンスは高い）、ダイオードD 1を介して、電源端子V Dの電位がトランジスタT r 1のバックゲートに供給される。これにより、トランジスタT r 1の信号線S 1はソースとなり、トランジスタT r 1の信号線S 2はドレインとなる。

## 【0052】

ダイオードD 6は、E S Dサージによる電圧の極性に対し順方向なので、抵抗R 1、ダイオードD 5及びコンデンサC 2に電流が流れる。コンデンサC 2は、抵抗R 1、コンデンサC 2のC R時定数に従って充電される。トランジスタT r 1のゲートの電圧は、少なくともC R時定数の間、抵抗R 1の電圧降下によりソース（信号線S 1）の電圧より低く、トランジスタT r 1のソースードレイン間

は、オン状態となる。すなわち、電源端子VSを基準に電源端子VDに生じた正のESDサージによる電流は、トランジスタTr1のソースードレイン間、電源端子VSを流れるので、内部回路10は、保護される。

## 【0053】

次に、電源端子VSを基準とした負のESDサージが電源端子VDに生じたとする。ダイオードD3, D4は、ESDサージの電圧の極性に対し、順方向なのでESDサージによる電流は、電源端子VS、ダイオードD4, D3、電源端子VDを流れ、内部回路10は保護される。しかし、トランジスタTr1の信号線S1, S2には、ESDサージによる電圧が印加された状態にある。電源端子VSの電位は電源端子VDより高電位なので、電源端子VSから見たダイオードD2のインピーダンスは低く（電源端子VSから見たダイオードD1のインピーダンスは高い）、ダイオードD2を介して、電源端子VSの電位がトランジスタTr1のバックゲートに供給される。これにより、トランジスタTr1の信号線S2はソースとなり、トランジスタTr1の信号線S1はドレインとなる。

## 【0054】

トランジスタTr1のゲートは、ダイオードD6が逆接続であるため、抵抗R1に電流が流れず、電源端子VDと同電位となる。すなわち、トランジスタTr1の信号線S2に生じている電圧は、ゲートの電圧より大きいので、トランジスタTr1のソースードレイン間は、オン状態となる。ところが、ダイオードD6の寄生容量を持ち、トランジスタTr1のゲート電圧は、その寄生容量に依存する時間だけソース（信号線S2）と同電位となり、トランジスタTr1のソースードレイン間はオフ状態となる。しかし、ダイオードD5によって、ダイオードD6の寄生容量に電荷をチャージすることによって、トランジスタTr1のゲートとソースの同電位となることを妨げ、トランジスタTr1のソースードレイン間をオンする。

## 【0055】

なお、ESDサージが電源端子VD, VS、入出力端子Vに生じる他の組み合わせにおける動作は、第1の実施の形態における分圧回路20、トランジスタTr1が、上記の分圧回路21、トランジスタTr1による動作をし、その他同じ

であるので説明を省略する。

【0056】

このように、ダイオードD5, D6によって、分圧回路21に流れる電流に方向性を持たせることによって、トランジスタTr1の信号線S1, S2とゲートとの間に確実に電位差を生じさせて、トランジスタTr1のソースドレイン間をオンすることができる。また、電流を一方向に流すことによって、極性を有するコンデンサを使用することができるようになる。

【0057】

【発明の効果】

以上説明したように本発明では、第1の電源端子に生じる正の放電電圧を、第1のダイオードによって、トランジスタのバックゲートに供給し、第2の電源端子に生じる正の放電電圧を、第2のダイオードによって、トランジスタのバックゲートに供給し、第1の電源端子及び第2の電源端子に接続されたソース及びドレインを切替えるようにした。

【0058】

これにより、ソース、ドレインのウェルタップ間に寄生動作を発生することなく、ソース、ドレイン間を放電電圧による電流が流れるので、トランジスタの破損を防止することができる。

【図面の簡単な説明】

【図1】

本発明の第1の実施の形態に係るESD保護回路を示す。

【図2】

本発明の第2の実施の形態に係るESD保護回路を示す。

【図3】

従来のESD保護回路を示す。

【符号の説明】

10 内部回路

D1～D6 ダイオード

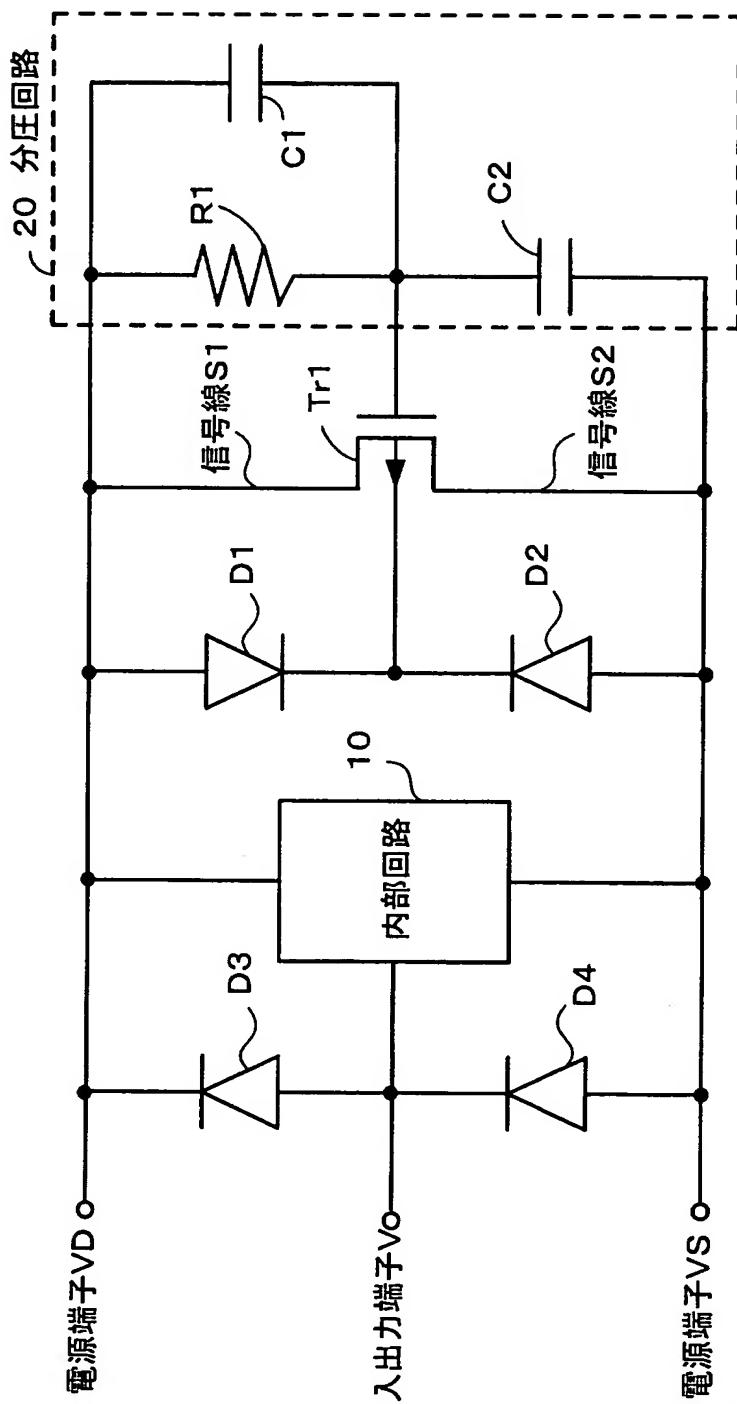
Tr1 トランジスタ

R1 抵抗

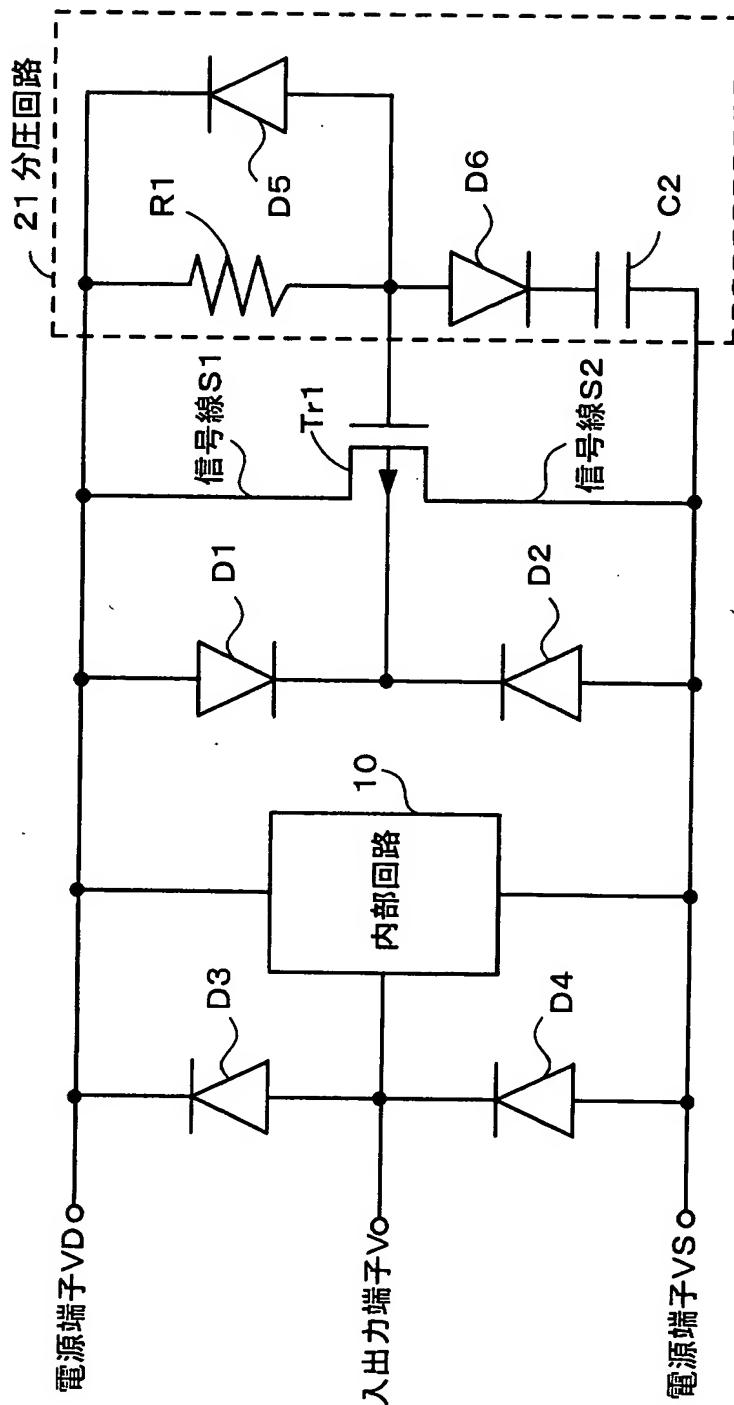
C1, C2 コンデンサ

【書類名】 図面

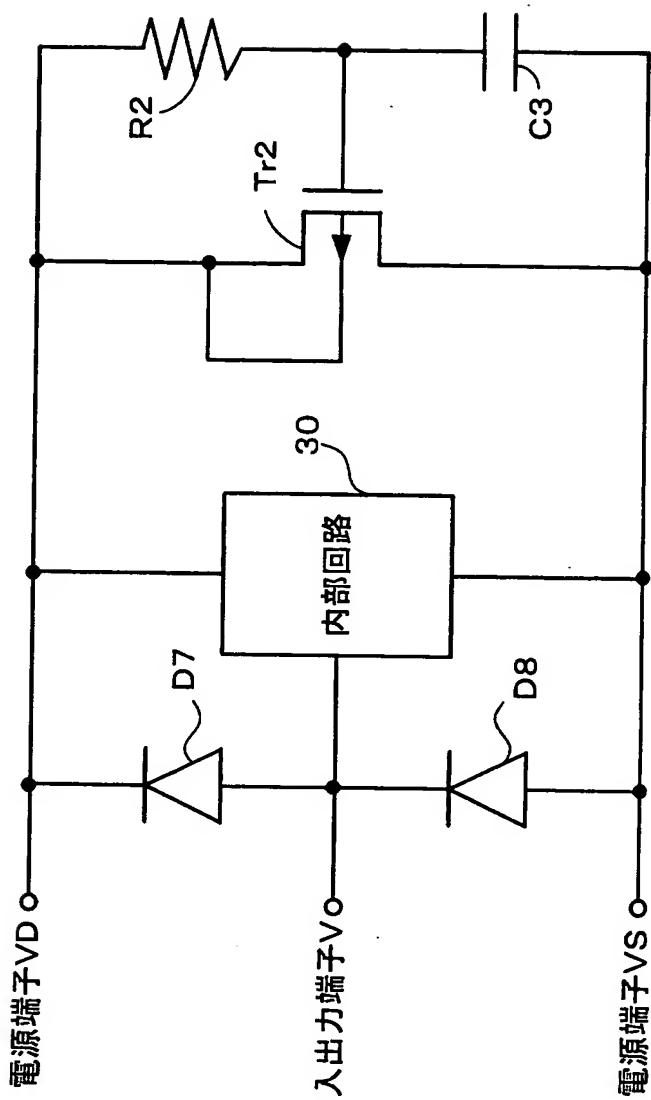
【図1】



【図2】



【図3】



【書類名】 要約書

【要約】

【課題】 ESDサージによるトランジスタの破損を防止する。

【解決手段】 トランジスタTr1のソース又はドレインとなる信号線S1, S2は、電源端子VD, VSに接続される。ダイオードD1のアノードは信号線S1に接続され、カソードはトランジスタTr1のバックゲート及びダイオードD2のカソードに接続される。ダイオードD2のアノードは、信号線S2に接続される。これにより、信号線S1, S2に生じるESDサージの電圧によって、トランジスタTr1のソース、ドレインが切替わるので、ソース、ドレインのウェルタップ間に寄生動作を発生することなくソース、ドレイン間をESDサージによる電流が流れ、トランジスタTr1の破損を防止する。

【選択図】 図1

出願人履歴情報

識別番号

[000005223]

1. 変更年月日 1996年 3月26日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号  
氏 名 富士通株式会社